

JP 60-24753

## SPECIFICATION

## 1. TITLE OF THE INVENTION

## MUTING CIRCUIT

## 2. CLAIMS

(1) A sound signal muting circuit of a digital communication device comprising a carrier regenerator circuit to regenerate a carrier from a modulated wave signal modulated by a digital signal, a multiplying circuit to multiply the carrier regenerated in the circuit with the modulated wave signal, a low-pass filter connected to the output of the multiplying circuit, a zero cross discrimination circuit to convert the output signal of the low-pass filter to 2-value signal, a decoder circuit to decode a digital data from the output of the discrimination circuit, a digital/analog converter circuit connected to the output of the decoder circuit, a switch circuit connected between the output end of the digital/analog converter circuit and output terminal, an amplitude discrimination circuit to identify the amplitude of the output signal of the low-pass filter, and an integrator circuit connected to the discrimination circuit, characterized in that the switch circuit is opened or closed by the output of the integrator circuit.

## 3. DETAILED DESCRIPTION OF THE INVENTION

## Industrial Field of Utilization

The present invention relates to a muting circuit of a sound signal in a digital communication device of a sound using a carrier wave.

## Related Art

A digital communication method of a sound includes a PCM subcarrier method disclosed in "Report for sound signal in 12GHz band satellite broadcasting" (Telecommunications Technology Council in fourth Committee in November, 1982). According to the above method, as shown in Fig. 1(a) and (b), sound signals inputted to sound input terminals (1), (2), (3) and (4) are converted to digital signals by an A/D converter (5) and then encoded by an encoder (6) including an error corrector circuit, a scramble circuit and the like. The coded signal is converted to a subcarrier signal by a 4 phase DPSK (Differential Phase Shift Keying) circuit (7) and then mixed with a video signal inputted from a video signal input terminal (8) and converted to a FM signal by a frequency converter (9). This FM signal is sent from a parabolic antennal (11) by a transmitter (10) in a 12GHz band as an electric wave. The electric wave sent from the parabolic antenna is received by a receiver through a broadcast satellite (12).

On the receiver side, the electric wave is received by a receiving parabolic antenna (13) and then supplied to a receiver (14) in a 12GHz band and applied to an FM demodulator (15) as a middle frequency signal. The signal demodulated by the demodulator is divided into a video signal and 4 phase DPSK subcarrier signal and outputted from the output terminals (17) and (16), respectively. The subcarrier signal is further demodulated by a 4 phase DPSK demodulator circuit (18) and returned to a digital signal in a base band and returned to the original sound signal through a decoder (19) including a descramble circuit, an error corrector circuit and the like and a

D/A converter circuit (20) and outputted from audio output terminals (21), (22), (23) and (24).

According to the above audio digital communication method, there is a problem with a digital data error after the 4 phase DPSK demodulation due to the lowering of S/N (Signal/Noise) in the subcarrier after the FM demodulation caused by the lowering of the received carrier signal level. The data error can be corrected to some extent by the error correction circuit of the decoder (19) in Fig. 1(b). However, when the data error is frequently generated, correction error is frequently generated and a very loud noise is generated in the sound signal. Since the noise reaches the maximum output level of the sound signal and very harmful in hearing, as measures against it, an output sound signal is suppressed by a muting circuit in general. This will be briefly described with reference to Fig. 2. The digital data demodulated by the 4 phase DPSK demodulator circuit (18) is inputted to the decoder surrounded by a broken line. In the decoder (19), a synchronous signal in the data is detected every frame by a synchronous detector circuit (25) and the scrambled state of data is descrambled by a descramble circuit (26) and then inputted to an error corrector circuit (27) and an error detector circuit (28). The data error is detected by the error detector circuit (28) and the correction is made by the error corrector circuit (27) by the detected signal and when the data error is frequently generated, the sound signal outputted from the D/A converter (20) through the error corrector circuit (27) and a data extractor circuit (29) is cut off by switches (30), (31), (32) and (33) controlled by the error detector circuit (28) and its outputted state is made to be a no-signal state by the audio output terminals

(21), (22), (23) and (24). In addition, it is assumed that the error detector circuit is provided with both error detection function at each time and error frequency detection function in a certain time.

According to the above constitution, when the data error is frequently generated, since the outputted sound signal is cut off by the output terminal, the acoustically harmful loud noise can be avoided. However, when the error frequency is further increased, that is, when it is difficult to detect the synchronous signal by the synchronous detector circuit (25), for example, a detection error is generated in the error detector circuit (28) and accordingly an error is generated in the operation of the switches (30), (31), (32) and (33) operated by the error detection signal, so that the loud noise could be outputted to the audio output terminals (21), (22), (23) and (24).

#### Object

In order to solve such problems, an object of the present invention is to provide a muting circuit of a voice output signal that can prevent a sound signal from being outputted to an output terminal without any error operation even in a bad receiving condition in which error frequency is extremely high.

#### Constitution

According to the present invention, it is constituted such that an accurate muting operation signal is provided by detecting a receiving condition in the 4 phase DPSK demodulator circuit (18) shown in Fig. 2

instead of the method of operating the muting circuit by the error detection signal of the error detector circuit (28) in the decoder (19) shown in Fig. 2.

### Embodiment

One embodiment of the present invention will be described with reference to Fig. 3. A 4 phase DPSK signal from an input terminal (16) is inputted in a 4 phase DPSK demodulator circuit (18) surrounded by a broken line. First, the 4 phase DPSK signal is inputted to a carrier regenerator circuit (41) and two kinds of carriers with a phase of  $+\pi/2$  and  $-\pi/2$  are regenerated in the circuit. The regenerated carriers are multiplied by the 4 phase DPSK signal in multiplying machines (34) and (37), respectively. Double components of the carrier and a carrier frequency of the carrier multiplied signals are removed by low-pass filters (35) and (38) and then identified by a zero cross discriminations (36) and (39), so that they are converted to 2-value signals. The original data is regenerated from this two kinds of 2-value signals by a data regenerator circuit (Code Regenerator Circuit) (40). A bit clock at this time is regenerated by a timing regenerator circuit (Retiming Circuit) (12) in response to the output signal of the zero cross discrimination (39). The digital data is inputted to a decoder (19) similar to the above example and then it is restored to a sound signal by a D/A converter circuit (20) and outputted from output terminals (21), (22), (23) and (24) through switches (30), (31), (32) and (33). The switches (30), (31), (32) and (33) are muting switches for the sound signal and they are constituted such that they are opened or closed by a signal that is provided by smoothing the output signal of an amplitude discrimination circuit (43)

JP 60-24753

for identifying the amplitude of the signal outputted from the low-pass filter (38), in an integrator circuit (44).

The muting operation according to the present invention will be further described with reference to Fig. 4. When the phase relation between the carrier in the multiplying machine (37) shown in Fig. 3 and the 4 phase DPSK signal is normal, that is, it is  $\pi/4$ , the multiplied signal after passed through the low-pass filter (38) has a waveform shown in Fig. 4(a) and its amplitude is an approximately constant value ( $V_h$ ). That is, when it is assumed that the 4 phase DPSK signal is  $S(t)$ , the carrier signal having the phase relation of  $\pi/4$  with that signal is  $C(t)$  and these signals are represented by formulas (1) and (2), respectively, their multiplied result is represented by formula (3). In addition,  $\omega$  and  $c$  designate a carrier frequency and  $\ell$  designates a 4 phase state of 0, 1, 2, and 3.

$$S(t) = A \cos(\omega c t + \ell \pi / 2) \quad (1)$$

$$C(t) = B \cos(\omega c t + \pi / 4) \quad (2)$$

$$S(t) \cdot C(t) = (A \cos(\omega c t + \ell \pi / 2)) (B \cos(\omega c t + \pi / 4)) = \frac{1}{2} AB \{ \cos(2\omega c t + \frac{\ell \pi - 1}{4} \pi) + \cos \frac{2\ell + 1}{4} \pi \} \quad (3)$$

When double component of the carrier frequency in the formula (3) is removed, its result is represented by formula (4).

$$S(t) \cdot C(t) = \frac{1}{2} AB \cos \frac{2\ell + 1}{4} \pi \quad (4)$$

When it is assigned such that  $A=B=1$  and  $\ell=0, 1, 2$  and  $3$ , the amplitude of the signal represented by the formula (4) is  $1/\sqrt{2}$ . That is, the above ( $V_h$ ) is  $1/\sqrt{2}$ .

Meanwhile, when the phase of the carrier signal is  $\pi/2$  with respect to the 4 phase DPSK signal, its result is represented by formula (5) by the

JP 60-24753

similar calculation.

$$S(t) \cdot C(t) = \{ A \cos(\omega_c t + \ell\pi/2) \} \{ B \cos(\omega_c t + \frac{\pi}{2}) \} - \frac{1}{2} AB (\cos(2\omega_c t + \frac{\ell+1}{2}\pi) + \cos \frac{\ell-1}{2}\pi) \quad \text{--- (5)}$$

In the formula (5), when double component of the carrier is removed and then it is assigned such that  $A=B=1$  and  $\ell=0, 1, 2$  and  $3$ , the amplitude of the signal represented by the formula (5) is 1. The output signal of the low-pass filter (38) in this phase state is shown in Fig. 4(b). That is, the amplitude  $V_h'$  is 1.

In addition, the state shown in Fig. 4(b) is generated due to the phase shift of the regenerated carriers in a carrier regenerator circuit (41) in Fig. 3 and the phase shift causes the S/N of the 4 phase DPSK signal to be lowered due to the deterioration of the receiving condition, so that the phase lock in the carrier regenerator circuit (41) becomes off. In a receiver using the 4 phase DPSK, the error caused by this state generates vary loud noise. Therefore, when the switches (30), (31), (32) and (33) are opened by detecting the variation of the demodulated signal amplitude due to the phase shift, the aforementioned noise can be avoided. In a real operation, since the signal shown in Fig. 4(b) is not generated all the time and the signals shown in Figs. 4(a) and (b) and a signal having the middle amplitude between them are generated, a threshold  $V_t$  of the amplitude discrimination (43) shown in Fig. 3 is preferably set to a value shown in the next formula.

$$V_h < V_t < V_h' \quad (6)$$

In addition, the input signal to the amplitude discrimination (43) is the output of the low-pass filter (38) in Fig. 3. That is, it is needless to say that

this may be the output of the low-pass filter (35). In addition, the present invention has been described by the phase modulation method of the 4 phases, but it can be applied to the case of 2 phases.

#### Effect

According to the present invention, when the phase lock becomes off in the carrier regenerator circuit, the unlocked state of the phase is detected and the sound signal is cut off by the muting circuit. In the normal digital communication method, the carrier regenerator circuit does not operate normally when the S/N deteriorates due to the lowering of the reception signal level and the abnormal operating condition generates a loud noise in the sound signal after demodulated. However, according to the muting circuit of the sound signal of the present invention, even when the receiving condition extremely deteriorates, acoustically harmful loud noise can be completely avoided.

#### 4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a block circuit diagram to explain a digital communication method of sound, Fig. 2 shows a conventional example of a muting method of an sound signal, Fig. 3 is a block circuit diagram showing a muting circuit of a sound signal according to the present invention, and Fig. 4 is a view to explain the operation of the present invention.

(16) ... input terminal, (34), (37) ... multiplying circuit, (35), (38) ... LPF, (36), (39) ... zero cross discrimination circuit, (40) ... data regenerator circuit, (41) ... carrier regenerator circuit, (42) ... timing regenerator circuit,



JP60-24753

(43) ... amplitude discrimination circuit, (44) ... integrator circuit.

## MUTING CIRCUIT

Publication number: JP60024753

Publication date: 1985-02-07

Inventor: SATOU KENICHI

Applicant: SANYO ELECTRIC CO

Classification:

- International: H04B1/10; H03G3/34; H04B14/04; H04L27/18; H04L27/22; H04L27/227; H04L27/18; H04B1/10; H03G3/34; H04B14/04; H04L27/18; H04L27/22; H04L27/227; H04L27/18; (IPC1-7): H04B14/04; H04L27/18; H04L27/22

- European: H03G3/34; H04L27/227C

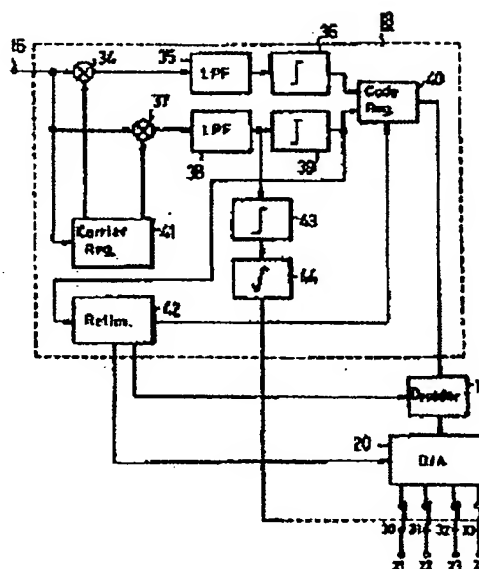
Application number: JP19830132382 19830719

Priority number(s): JP19830132382 19830719

Report a data error here

### Abstract of JP60024753

**PURPOSE:** To cut off sound signals by obtaining precise muting action signals by detecting the receiving conditions in 4 phase DPSK demodulation circuit, in the voice digital transmitter using carriers. **CONSTITUTION:** The 4 phase DPSK signals from an input terminal 16 are inputted in a demodulation circuit 18, also in a carrier regenerative circuit 41, and two kinds of carriers with a phase of  $\pi/62$  or  $-\pi/2$  will generate. After these carriers are multiplied with input signals by multiplying machines 34, 37, carrier components are removed by filters 35, 38 changed into 2-value signals, and digital signals are regenerated. The digital signals are restored to voice signals by a D/A conversion circuit via a decoder 19, and inputted via muting switches 30 to 33. The signals outputted from the low-pass filter 38 are identified in amplitude by an amplitude discrimination circuit 43, the signals outputted through an integrator 44 represent changes in demodulation signals amplitude generated by phase distortion. Under this condition, errors occur and therefore the muting switches 30 to 33 are turned off because of making a big noise.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—24753

⑪ Int. Cl.<sup>4</sup>  
H 04 L 27/22  
H 04 B 14/04  
H 04 L 27/18

識別記号

庁内整理番号  
Z 7240—5K  
7830—5K  
A 7240—5K

⑬ 公開 昭和60年(1985)2月7日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ ミューテイング回路

守口市京阪本通2丁目18番地三  
洋電機株式会社内

⑯ 特 願 昭58—132382

⑰ 出 願 人 三洋電機株式会社

⑱ 出 願 昭58(1983)7月19日

守口市京阪本通2丁目18番地

⑲ 発 明 者 佐藤憲一

⑳ 代 理 人 弁理士 佐野静夫

明 細 書

1. 発明の名称 ミューテイング回路

2. 特許請求の範囲

(1) デジタル信号により変調された被変調波信号からキャリアを再生する為のキャリア再生回路と、該回路により再生されたキャリアと被変調波信号を乗算する為の乗算回路と、該乗算回路の出力に接続されたローパスフィルタと、該ローパスフィルタの出力信号を2値信号に変換する為のゼロクロス識別回路と、該識別回路の出力を受けてデジタルデータを復号する為の復号回路と、該復号回路の出力に接続されたデジタル・アナログ変換回路と、該デジタル・アナログ変換回路の出力端と出力端子間に接続されるスイッチ回路と、前記ローパスフィルタの出力信号の振幅を識別する為の振幅識別回路と、該識別回路に接続される積分回路とを備え、前記積分回路の出力により前記スイッチ回路を開閉制御することを特徴とするデジタル通信装置の音声信号ミューテイング回路。

3. 発明の詳細な説明

(1) 産業上の利用分野

本発明は搬送波を利用した音声のデジタル通信装置に於ける音声信号のミューテイング回路に関する。

(2) 従来技術

音声のデジタル通信方式としては、例えば「12GHz帯衛星放送における音声信号に対する答申」(電技審第4部会 1982年11月)に示されたPCM副搬送波方式があり、該方式は第1図(a)(b)に示されるように、音声入力端子(1)(2)(3)(4)に入力された音声信号をA/D変換器(5)によりデジタル信号に変換した後、誤り訂正回路、スクランブル回路等から成るエンコーダ(6)によりコード化する。コード化された信号は、4相DPBK(4相Differential Phase Shift Keying)回路(7)により副搬送波信号に変換された後、映像信号入力端子(8)より入力された映像信号と加え合わされ、周波数変調器(9)によりFM信号に変換される。このFM信号は12GHz帯

の送信機10により電波として、パラボラアンテナ11より送出される。該パラボラアンテナ11より送出される電波は放送衛星12を介して受信機で受信される。

受信側では受信用パラボラアンテナ13で受信された後、12GHz帯の受信機14に供給され、中間周波信号として、FM復調器15に印加される。該復調器により復調された信号は映像信号と4相DPSSKの副搬送波信号とに分離され、それぞれ出力端子17、および18より出力される。副搬送波信号については、さらに4相DPSSK復調回路19により復調され、ベースバンドのデジタル信号に戻された後、ディスクランブル回路、誤り訂正回路等からなるデコーダ20、そしてD/A変換回路21を通して元の音声信号に戻され、音声出力端子22、23、24より出力される。

さて、斯かる音声のデジタル通信方式では、受信搬送波信号レベルの低下に伴うFM復調後の副搬送波でのS/N(信号対雑音比)低下の為、4相DPSSK復調後のデジタルデータ誤りが問

題となる。該データ誤りは第1図(b)に於けるデコーダ20の誤り訂正回路で成る程度の訂正が可能ではあるが、データ誤りの頻度が増大した場合、訂正もれが多発し、音声信号に強大な雑音が発生する。該雑音は音声信号の最大出力レベルにまで達する為、聴感上極めて有害であり、斯かる対策として、通常、ミューティング回路による出力音声信号の抑圧が行なわれる。これを第2図によって簡単に説明する。4相DPSSK復調回路19により復調されたデジタルデータは破線内25で示されるデコーダに入力される。デコーダ20では、まず、同期検出回路26によりデータに於けるフレームごとの同期信号が検出され、ディスクランブル回路27によりデータのスクランブル状態が解かれた後、誤り訂正回路28及び誤り検出回路29に入力される。データ誤りは該誤り検出回路29により検出され、該検出信号により誤り訂正回路28で訂正動作が行なわれると共に、データ誤りの頻度が大きい場合には、誤り訂正回路28およびデータ抜き出し回路30を経て、D/A変換器21より出力される音声信

号を、誤り検出回路29により制御されるスイッチ31、32、33により遮断し、音声出力端子22、23、24での出力状態を無信号状態にする。尚、前記誤り検出回路29は瞬時瞬時の誤り検出機能と一定時間内の誤り頻度検出機能とを両方備えているものとする。

斯かる構成によれば、データ誤りの頻度が大きくなった場合、出力音声信号が出力端子で遮断される為、聴感上有害な強大雑音を避けることが可能となる。しかし、誤り頻度が更に増大する受信状態、例えば同期検出回路26での同期信号検出さえ困難な状態となった場合は、誤り検出回路29での検出誤りが生じ、従って該誤り検出信号により動作するスイッチ31、32、33の動作にも誤りが生じる為、強大雑音が音声出力端子22、23、24に出力される可能性がでてくる。

#### 目的

本発明は斯かる問題を解決するべく、誤り頻度が極めて多い受信状態に於いても誤動作することなく、出力端子への音声信号の遮断を可能にす

る所謂音声出力信号のミューティング回路を提供するものである。

#### 構成

本発明では前述の第2図に示すデコーダ20の誤り検出回路29の誤り検出信号によりミューティング回路を動作させる方法ではなく、第2図に於ける4相DPSSK復調回路19での受信状態を検出することにより正確なミューティング動作信号を得るよう構成している。

#### 実施例

第3図に従って本発明の一実施例を説明する。入力端子14から入力された4相DPSSK信号は破線内25で示される4相DPSSK復調回路に入力される。まず、4相DPSSK信号がキャリア再生回路(Carrier Regenerator Circuit)34に入力され、該回路で、位相が一定値 $+\pi/2$ または $-\pi/2$ である2種類のキャリアが再生される。該再生されたキャリアは乗算器35、36によりそれぞれ入力4相DPSSK信号と乗算される。該被乗算信号はそれぞれローパスフィルタ37、38によりキャ

リア成分及びキャリア周波数の2倍の成分が除去された後、それぞれゼロクロス識別器404により識別されることにより、2値信号に変換される。この2系列の2値信号はデータ再生回路(CQde Regenerator Circuit)40により元のデジタルデータが再生される。この時のビットクロックはゼロクロス識別器404の出力信号を受けてタイミング再生回路(Retiming Circuit)405により再生される。前記デジタルデータは前述同様にデコーダ49に入力された後、D/A変換回路406により音声信号に復元され、スイッチ407を介して出力端子202より出力される。而して該スイッチ407は音声信号のミュートイングスイッチであり、ローパスフィルタ405より出力される信号の振幅を識別する振幅識別器43の出力信号を積分器44により平滑した信号により開閉されるよう構成されている。

本発明によるミュートイング動作をさらに第4図によって説明すると、第3図に於ける乗算器40のキャリアと4相DPSK信号が通常の位相関係、

即ち $\pi/4$ の場合は被乗算信号のローパスフィルタ405通過後の信号は第4図(a)に示す波形となり、その振幅はほぼ一定値( $V_h$ )をとる。即ち、4相DPSK信号を $S(t)$ 、又該信号と $\pi/4$ の位相関係を持つキャリア信号を $C(t)$ とし、これら信号はそれぞれ(1)式および(2)式で表わされるものとする、それらの乗算結果は、(3)式で表わされる。尚、 $\omega_c$ はキャリア周波数、 $\ell$ は0, 1, 2, 3の4位相状態を表わす。

$$S(t) = A \cos(\omega_c t + \ell\pi/2) \quad (1)$$

$$C(t) = B \cos(\omega_c t + \pi/4) \quad (2)$$

$$S(t) \cdot C(t) = \{A \cos(\omega_c t + \ell\pi/2)\} \{B \cos(\omega_c t + \pi/4)\} = \frac{1}{2} AB \{ \cos(2\omega_c t + \frac{2\ell-1}{4}\pi) + \cos \frac{2\ell+1}{4}\pi \} \quad (3)$$

(3)式に於けるキャリア周波数の2倍成分を除去すると、その結果は(4)式で表わされる。即ち

$$S(t) \cdot C(t) = \frac{1}{2} AB \cos \frac{2\ell+1}{4}\pi \quad (4)$$

(4)式に於いて $A = B = 1$ とし、 $\ell = 0, 1, 2, 3$ を代入すると、(4)式で表わされる信号の振幅は $1/\sqrt{2}$ となることわかる。即ち、前述の( $V_h$ )

は $1/\sqrt{2}$ となる。

一方、キャリア信号の位相を4相DPSK信号に対して $\pi/2$ とした場合は、同様の計算により(5)式で表わされる結果となる。

$$S(t) \cdot C(t) = \{A \cos(\omega_c t + \ell\pi/2)\} \{B \cos(\omega_c t + \frac{\pi}{2})\} = \frac{1}{2} AB \{ \cos(2\omega_c t + \frac{2\ell+1}{2}\pi) + \cos \frac{2\ell-1}{2}\pi \} \quad (5)$$

(5)式に於いて、キャリアの2倍成分を除去した後、 $A = B = 1$ とし、 $\ell = 0, 1, 2, 3$ を代入すると、(5)式で表わされる信号の振幅は1となる。この位相状態に於けるローパスフィルタ405の出力の信号を第4図(b)に示す。即ち振幅 $V_h'$ は1となる。

さて、第4図(b)に示す状態は第3図に於いてキャリア再生回路(Carrier Regenerator)40での再生キャリアの位相ズレによって生じるものであり、且つ該位相ズレは受信状態の悪化により4相DPSK信号の $S/N$ が低下し、キャリア再生回路40での位相ロックがはずれることによる。4相DPSKを利用した受信機に於いては、この

状態により発生するエラーが強大雑音を引き起こす。従って、位相ズレによる復調信号振幅の変化を検出することにより、スイッチ407を開閉すれば、前記雑音を避けることができる。実際の動作では、常時第4図(b)に示す信号が得られるわけではなく、第4図(a)と第4図(b)に示す信号及びその中間的振幅を有する信号が混在する為、第3図に示す振幅識別器43のスレッシュホールド $V_t$ は、次式で示す値とするのが望ましい。

$$V_h < V_t < V_h' \quad (6)$$

尚、第3図では振幅識別器43への入力信号はローパスフィルタ405の出力としているが、これはローパスフィルタ405の出力でもよいことは言うまでもない。また本発明を4相の位相変調方式により説明したが、2相の場合でも応用可能である。

#### (c) 効果

このように本発明によれば、キャリア再生回路での位相ロックはずれを起こした場合、その位相ロックはずれの状態が検出され、音声信号がミュートイング回路により遮断される。通常のデ

シタル通信方式に於いては受信信号レベルの低下に伴う $S/N$ の悪化によりキャリア再生回路が正常に動作しなくなり、正常でない動作状態が復調後の音声信号に強大雑音を発生させるが、本発明の音声信号のミュートイング回路によれば、受信状態が極端に悪化しても聴感上有害な強大雑音を完全に避けることができる。

#### 4. 図面の簡単な説明

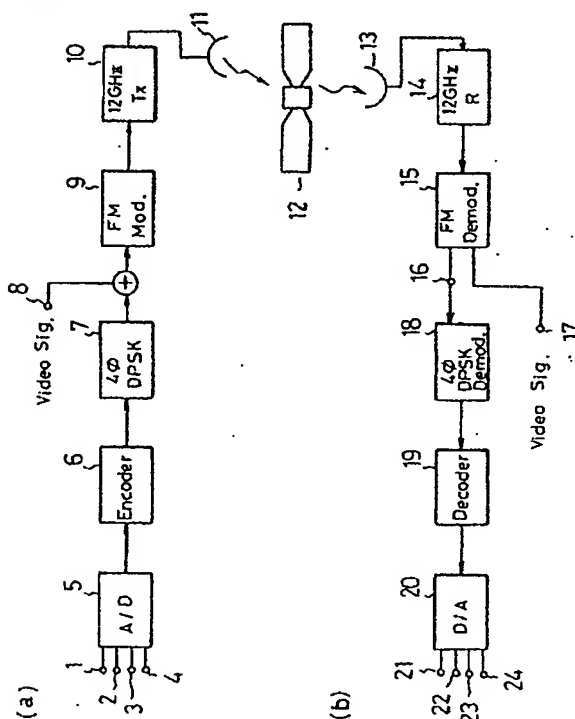
第1図は音声のデジタル通信方式を説明するためのブロック回路図、第2図は音声信号のミューティング方法の従来例、第3図は本発明による音声信号のミューティング回路を示すブロック回路図、第4図は本発明の動作説明図である。

①①…入力端子、①②③…乗算回路、①④⑤…L P F、  
①⑥⑦…ゼロクロス検別回路、①⑧…データ再生回路、  
①⑨…キャリブ再生回路、②①…タイミング再生回路、  
②②…振幅検別回路、②③…積分回路。

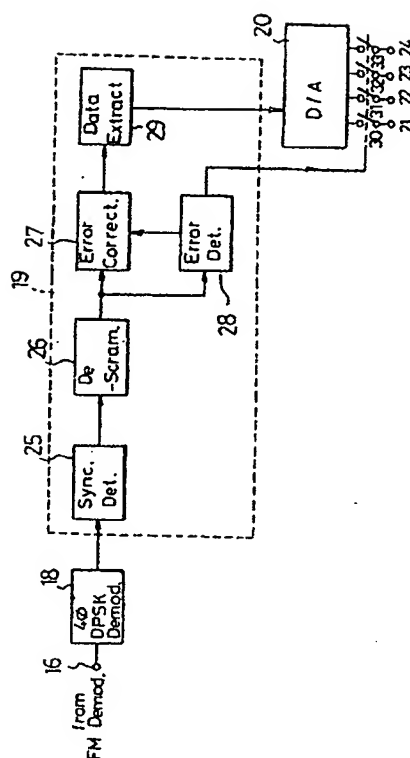
出願人 三洋電機株式会社

代理人 弁護士 佐野 静 夫

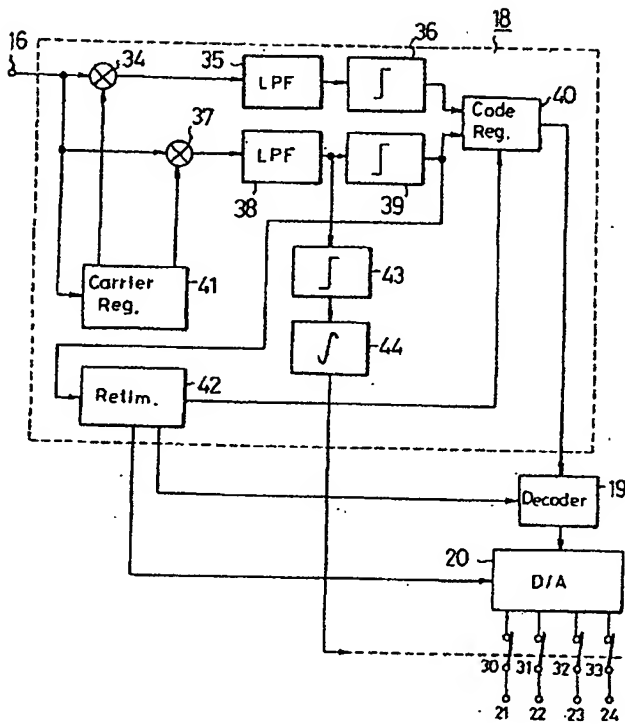
區  
可  
紙



凶々



第3圖



特開昭60-24753(5)

第4圖

